

文章编号: 1007-2780(2012)05-0697-06

移动便携图像存储系统的设计

吕耀文^{1,2}, 王建立^{1*}, 曹景太¹, 杨轻云¹

(1. 中国科学院 长春光学精密机械与物理研究所, 吉林, 长春 130033, E-mail: lvyaowen2005@163.com;

2. 中国科学院 研究生院, 北京 100049)

摘 要: 为满足 Camera Link 相机图像存储系统小型化、可移动、易携带的要求, 设计了基于 Xilinx 公司 V4 系列现场可编程门阵列(FPGA)和 TI 公司 6000 系列数字信号处理器(DSP)相结合的硬件电路方案。首先, 在 FPGA 的控制下图像数据缓存到一片 SDRAM 中, 同时读出另外一片 SDRAM 中缓存的图像, 经乒乓操作存储到两块固态硬盘中。其次, DSP 与上位机用百兆网连接, 在上位机的控制下, DSP 从外部存储器接口(EMIF)中获取图像数据后, 发送给上位机完成实时显示或者存储图像回放的功能。实验表明: 在相机分辨率为 640×480 、帧频为 100 f/s 且像素为 10 位时, 该系统可以不丢帧地完成图像存储任务。在不需要实时显示的应用场合, 系统可以单独完成脱机存储任务, 满足 Base 型 Camera Link 相机的便携存储要求。

关 键 词: 图像存储; Camera link 接口; FPGA; SDRAM 控制器; DSP

中图分类号: TP333.5; TP752.1 **文献标识码:** A **DOI:** 10.3788/YJYXS20122705.0697

Design of Portable Image Storage System

LV Yao-wen^{1,2}, WANG Jian-li^{1*}, CAO Jing-tai¹, YANG Qing-yun¹

(1. Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences,

Changchun 130033, China, E-mail: lvyaowen2005@163.com;

2. Graduate University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: In order to meet the requirement of miniaturization and portability of the image storage system for camera based on Camera Link interface, the hardware circuit was designed with a Virtex4 family Field Programming Gate Array(FPGA) from Xilinx company and a 6000 series Digital Signal Processor(DSP) from TI Company. First, under the control of FPGA, image data from Camera Link were cached in a SDRAM; at the same time, the image data which read from the other SDRAM were stored in other solid-state hard disks by ping-pang operation. Then the host computer connected with DSP through Fast Ethernet, under the control of the host computer, DSP acquired image data through External Memory Interface (EMIF) and sent it to host computer to realize real-time display or image playback function. The system that based on the scheme stored image successfully, past by the experiment in 640×480 , 100 f/s, 10 bit monochrome. When the real-time display function is not needed, the designed system could accomplish image storage independently to meet the Base Camera Link type Camera portable storage requirements.

Key words: image storage; camera link interface; FPGA; SDRAM controller; DSP

收稿日期: 2012-04-07; 修订日期: 2012-06-28

基金项目: 国家 863 计划基金项目(No. 2011AA8082035)

作者简介: 吕耀文(1987—), 男, 湖北应城人, 博士研究生, 主要研究数字逻辑电路设计和机器视觉。

* 通讯联系人, E-mail: wangjianli@ciomp.ac.cn

1 引 言

目前,数字相机向着高分辨率、高帧频的方向发展,必然带来数据传输速度的大幅度提升, Camera Link 接口以最高 680 MB/s^[1] 高速的传输性能得到了广泛的应用。工程应用上,多采用图像采集卡插在 PC 机上对图像数据进行采集和显示^[2-3]。整个系统较为庞大,对于需要随时更换采集地点的应用来说显得极为不便,同时一般采集卡并没有存储功能,不利于事后对图像的事后处理,因此需要设计一种结构简单,移动方便的实时采集存储和显示系统。

本文基于自主设计的分辨率为 640×480 , 帧频为 100 f/s 的 10 位 CMOS 相机,设计了一款便携式高速存储系统。该系统通过专用的 Camera

Link 接收芯片(DS90CR288)将 LVDS 信号转换成 LVTTTL 输入给 FPGA,在 FPGA 的控制下,用 SDRAM 实现图像数据的交替缓存。然后根据固态硬盘的控制时序,交替读出 SDRAM 中缓存的图像数据送入到固态硬盘中,完成图像的存储工作。最后根据上位机的远程控制命令,DSP 读取 FPGA 中实时图像数据用于图像实时显示或者读取固态硬盘图像数据完成图像回放功能。其中,图像数据在 FPGA 的控制下通过 SDRAM 缓存如何用乒乓操作存储到双 IDE 固态硬盘中是本文的一个难点。

2 系统硬件电路设计

如图 1 所示,整个硬件设计系统主要由以下几部分组成:

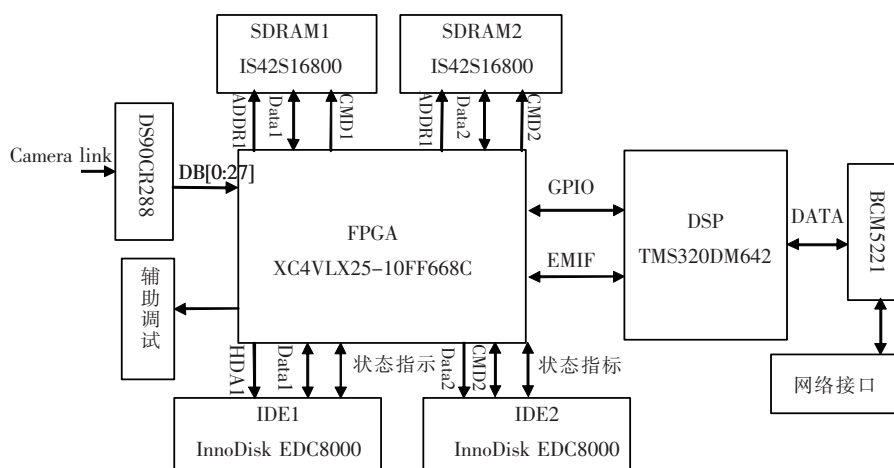


图 1 系统硬件电路框图

Fig. 1 Hardware circuit of system

(1) Base 型 Camera Link 数据采集: 相机产生的标准 Camera Link 信号经过专用接收芯片 DS90CR288 解码成 LVTTTL 信号输入给 FPGA。

(2) FPGA 与 SDRAM 接口控制: 相机信号在 FPGA 的控制下, 缓存到 SDRAM 中, 同时由于相机信号是连续的。在读出 SDRAM 缓存图像存入固态硬盘的同时, CMOS 又有新的图像数据输入, 因此需要采用 2 片 IS42S16800 SDRAM 交叉切换采集与存储。

(3) FPGA 与 IDE 固态硬盘的接口控制: 固态硬盘作为本系统的存储介质, 图像数据经过缓存后写入到固态硬盘中。为了最大限度地提高存储速度, 使用乒乓操作存储。

(4) FPGA 与 DSP 的通信: FPGA 与 DSP 的通信由两部分组成, 通用 IO 和 EMIF。通用 IO 用于产生控制信号和响应 FPGA 中断, EMIF 用于大量图像数据的传输。

(5) DSP 与百兆网的接口: 图像数据存储之后, DSP 通过 EMIF 获取图像数据后, 通过百兆网上传给远端 PC 机用于显示或者回放。

(6) 辅助调试电路: 1) 串口通信电路: 上位机通信的测试。2) VGA 显示电路: 采集图像数据的 FPGA 端显示。3) LED 信号灯标志显示。

其中 FPGA 为主要数据流控制逻辑器件, 系统主要的采集和存储是在 FPGA 中实现的。DSP 为系统的控制器件, 接收远程上位机命令,

通过通用 IO 向 FPGA 发送相应的控制信号,获取图像数据传输给上位机显示或者回放。

3 FPGA 与 DSP 设计

3.1 FPGA 设计

FPGA 选择 Xilinx 公司 Virtex-4 系列芯片,其逻辑资源丰富,功耗低^[4],在 FPGA 中端应用中相当广泛。如图 2 所示,在 FPGA 内部主要

有:数据流控制模块,SDRAM 读写控制模块,IDE 控制模块,固态硬盘接口模块,DSP 与 FPGA 通信模块。其中 SDRAM 读写控制模块和固态硬盘接口模块是 FPGA 设计的核心也是设计的难点。图像数据传输和存储是数据流控制模块、IDE 控制模块和 DSP 与 FPGA 通信模块设计的基础,也是实现图像实时显示、存储、回放功能的必要前提。下面就这 3 个方面做重点介绍。

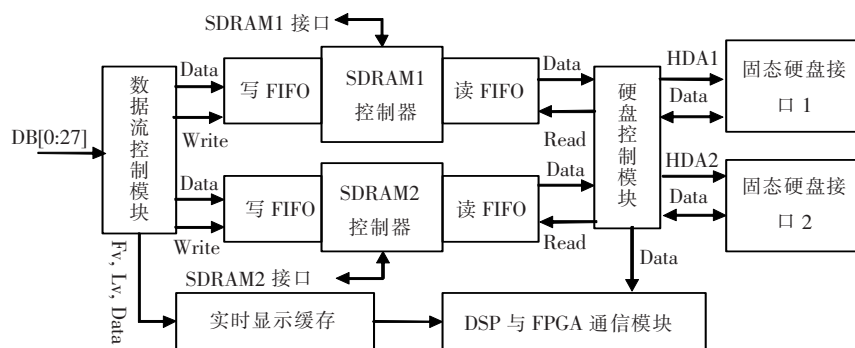


图 2 FPGA 内部主要功能模块

Fig. 2 Main logic in FPGA

3.1.1 SDRAM 读写控制模块

在 FPGA 中可以生成小容量的数据缓存单元如 FIFO、双口 RAM 等。但是由于固态硬盘的命令响应和结束时间的不确定,在缓存小的情况下,很容易造成帧的丢失,因此需要外部 SDRAM 对图像缓存容量进行扩展。

两片 SDRAM 缓存的控制单元相同,都由写 FIFO、控制器和读 FIFO 三部分构成。写 FIFO 为 SDRAM 数据写入缓存,是 SDRAM 模块对外的写入接口。读 FIFO 是读出 SDRAM 数据的缓存单元,是 SDRAM 模块对外的读出端口。通过这两个 FIFO 实现了对外部 SDRAM 控制的封装,读写 SDRAM 的操作只需要读写这两个 FIFO 就可以了。SDRAM 控制器产生 SDRAM 的读写时序和刷新时序^[5],直接控制外部 SDRAM 的读写。

对 SDRAM 的控制^[2,6]主要有 3 个:上电初始化,自动刷新,读写时序产生。模式寄存器设置在上电初始化阶段完成,对 SDRAM 的工作参数进行设定。自动刷新保持 SDRAM 中数据不丢失,读写控制完成对 SDRAM 的正常读写。所有操作都根据时序图用状态机实现。

3.1.2 固态硬盘接口

固态硬盘作为系统存储介质,是一种基于 nand flash 技术的非易失存储器件。InnoDisk EDC8000 固态硬盘的接口采用标准的 ATA 协议。相对于普通的机械硬盘,具有供电电压单一,功率低,抗震能力强等优点。

ATA 接口也被称为 IDE 接口,作为一种标准的接口,被广泛应用在各种存储介质上。它具有接口速度较高,协议简单,控制容易的优势。ATA 协议有 3 种传输模式:PIO, Multiword DMA, Ultra DMA。PIO 传输的速度最低,但是它是读写硬盘寄存器的惟一方式^[7],是实现 DMA 存储的基础。单 EDC8000 固态硬盘最高支持 UDMA6 传输模式,最大持续写入速度为 40 MB/s^[8],最大持续读出速度为 80 MB/s。设计选择 UDMA4 传输模式,采用双硬盘乒乓操作可以达到持续写入速度 66.7 MB/s。

用 FPGA 实现 Ultra DMA4 写入的框图如图 3 所示。CRC 模块完成传输数据 CRC 校验值的计算,在每个扇区传输结束时输出给硬盘,确保数据传输的正确性。PIO Timing 和 DMA Timing 分别是 PIO 传输和 DMA 传输时固态硬盘的

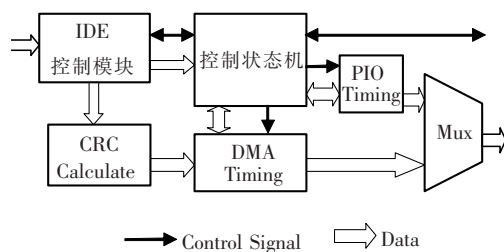


图 3 固态硬盘控制器结构框图

Fig. 3 Structure diagram of SSD controller

时序驱动模块。

硬盘在控制状态机的控制下完成硬盘的写入和读出。硬盘的 UDMA 模式读写操作^[9]如下：硬盘复位，传输模式设置，读写地址设定，发送读写命令，数据传输，读写结束。

3.1.3 图像数据的传输与存储

相机图像数据进入 FPGA 中后，输入给数据流控制模块后，一路进入实时显示缓存单元，一路进入 SDRAM 缓存单元。若此时为实时显示状态，图像数据直接通过 EMIF 通路进入 DSP，DSP

通过百兆网口发送给上位机实时显示。

若为存储状态，图像数据首先写给 SDRAM1，根据 SDRAM 容量 $8\text{M} \times 16\text{ bit}$ 与图像大小 640×480 ，设计的缓存帧数为 27 帧，因此向 SDRAM1 中写入 27 帧图像后，进入读 SDRAM1 状态，同时图像数据缓存切换到 SDRAM2 中。SDRAM2 写入 27 帧图像数据后进入读 SDRAM2 状态，同时图像数据缓存切换到 SDRAM1 中，如此交替完成图像数据的缓存。图像数据缓存后，就进入硬盘写入过程。硬盘一次 UDMA 写入有 3 个阶段：写入准备（发送写地址和命令，等待硬盘响应），数据写入，写入完成（硬盘进入空闲状态）。就 UDMA4 而言，数据写入过程的传输速度是 66.7 MB/s ，加上无数据传输的写入准备和写入完成两个阶段，单个固态硬盘传输速度会低于 66.7 MB/s 。用两个硬盘通过乒乓操作可以显著地提高存储速度，达到 66.7 MB/s 。控制缓存后的图像数据，奇偶帧图像在两个硬盘间的乒乓操作如图 4 所示。

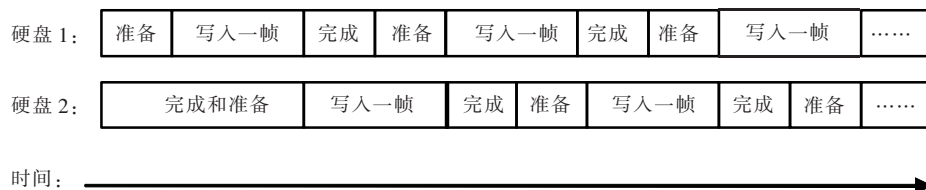


图 4 双硬盘乒乓操作

Fig. 4 Double hard disk ping-pong operation

在存储图像回放状态下，存储的奇偶帧图像，按照写入顺序，在两个硬盘间切换读取存储图像数据，发送给 DSP，DSP 发送给上位机显示，完成存储图像整合回放功能。

3.2 DSP 设计

DSP 是系统的控制核心，它通过以太网与计算机连接，通过 EMIF 与 FPGA 传输数据^[10-11]。远端上位机通过百兆网发送命令给 DSP 后，DSP 通过通用 I/O 控制 FPGA 实现相应的功能。DSP 将图像数据通过高速并行接口读出后采用 TCP/IP 协议发送至上位机，上位机接收数据并显示。

DSP 与上位机通信采用 TCP 通信，TCP 为面向连接的较可靠通信模式，由于图像读出一般为本地操作，本文采用百兆模式以太网络通信。图像传输命令由计算机传输至 DSP，DSP 响应后

控制 FPGA 启动读出模式，读出硬盘图像数据后将其封装成 TCP 数据包发送至上位机。

若为读取存储数据模式，DSP 内部图像缓存采用乒乓操作模式，可实现流水线读出。读出硬盘图像的同时将上一次读出的图像传输至上位机，如此交互操作，提高工作效率，如图 5 所示。

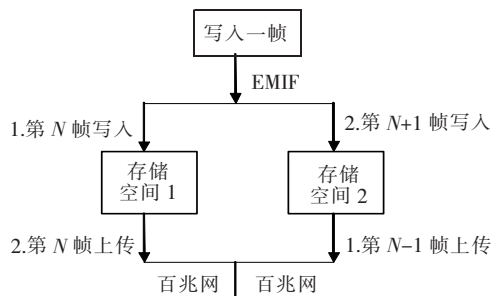


图 5 DSP 图像乒乓操作

Fig. 5 Image ping-pang operation of DSP

若为实时显示模式,因为 DSP 和 FPGA 的 EMIF 通信工作时钟为 133M,传输速度远高于相机的像素时钟 66M,因此可以在缓存 FIFO 半满时就开始读取缓存数据。DSP 拿到图像数据后,发送给上位机显示,同时读取下一帧图像。这样交互操作,也实现了 DSP 图像的乒乓操作。

4 实验结果

上位机测试程序用 Java 编写,相机选择自主研发的分辨率 640×480,帧频为 100 f/s 的 10 位 Camera Link CMOS 相机。上位机相机测试程序如图 6 所示。对输入图像的帧同步信号上升沿计数可以精确地知道相机输出的帧数。输入 50 000 (0xC350)帧图像后,对两个硬盘存储图像计数,若两个硬盘存储数据之和等于 50 000,则证明存储图像数据完整。图 7 为使用 Xilinx ISE 嵌入式逻辑分析仪 ChipScope 采集的数据。图中帧同步

计数为 0xC351(50 001)是因为计数到 0xC350 时,图像数据传输还在继续(传输第 50 000 帧图像),到 0xC351 才结束。同理对硬盘图像数据计数 0x61A9(25001)也是如此。实验证明,系统存储图像完整,无丢帧现象。



图 6 上位机相机测试程序
Fig. 6 PC camera test application

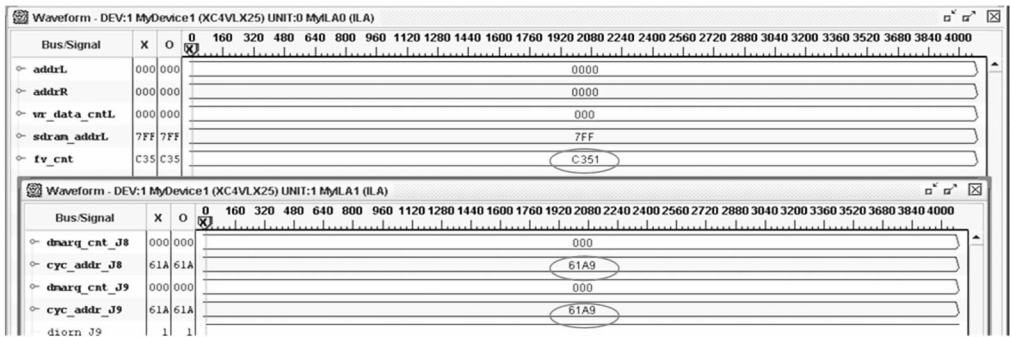


图 7 完整存储测试 ChipScope 采集
Fig. 7 Integrated storage test using ChipScope

5 结 论

为满足 Base 型 Camera Link 相机图像存储系统移动便携的要求,本文设计一种只有一块电路板的存储系统。介绍了硬件电路的基本组成,分析了 FPGA 中各个主要模块的功能和 design 方法以及 DSP 的主要作用。最后在实验室完

成了图像存储性能的测试,持续存储速度为 66.7 MB/s,满足系统要求。系统对 DSP 的应用很小,可以在 DSP 中完成某些图像处理任务,同时修改 FPGA 的部分参数后完全可以存储不同图像分辨率、帧频的 Base 型 Camera Link 相机,具有很强的扩展性和通用性,已在工程上得到使用。

参 考 文 献:

[1] 李飞,刘晶红,李刚,等. 基于 FPGA 的数字摄像机输出视频 DVI 显示 [J]. 激光与红外, 2011,41(11):1258-1262.
[2] 王明富,杨世洪,吴钦章. 大面阵 CCD 图像实时显示系统设计 [J]. 光学 精密工程, 2010,18(9):2053-2059.
[3] 王鸣浩,王志,吴小霞. 基于 SOPC 的高帧频数字图像采集显示系统 [J]. 液晶与显示, 2011,26(5):650-654.
[4] 宋亚军,许廷发,倪国强,等. 基于 Virtex-4 FPGA 的低功耗图像融合系统 [J]. 光学 精密工程, 2007,15(6): 935-940.

- [5] 王骞,丁铁夫. 高速图像存储系统中 SDRAM 控制器的实现 [J]. 液晶与显示, 2006, 21(1): 48-52.
- [6] 苏海冰, 吴钦章. 用 SDRAM 在高速数据采集和存储系统中实现海量缓存 [J]. 光学精密工程, 2002, 10(5): 462-465.
- [7] 周国辉. CCD 摄影测量相机图像数据高速实时存储的研究 [D]. 北京: 中国科学院长春光学精密机械与物理研究所, 2006.
- [8] InnoDisk Inc. Embedded Disk Card 8000 Data Book [EB/OL]. [2012-02-18]. <http://www.innodisk.com>.
- [9] 徐启明, 张启衡, 张耀. 基于硬盘直写的脱机高速图像记录系统 [J]. 传感器与仪器仪表, 2009, 25(1): 120-122.
- [10] 刘彬, 房建成, 刘刚. 基于 TMS320C6713B+FPGA 数字控制器实现磁悬浮飞轮主动振动控制 [J]. 光学精密工程, 2009, 17(1): 151-157.
- [11] Xilinx Inc. Xilinx FPGA and TI DSP Platform Interface using EMIF [EB/OL]. [2012-02-18]. <http://www.xilinx.com>.

欢迎订阅 欢迎投稿

《光学 精密工程》

《光学 精密工程》是中国仪器仪表学会一级学术期刊, 中国科学院长春光学精密机械与物理研究所主办, 科学出版社出版。由国内外著名科学家任顾问, 陈星旦院士任编委会主任, 国家科技部副部长曹健林博士担任主编。

《光学 精密工程》坚持学术品位, 集中报道国内外现代应用光学、光学工程技术、光电工程和精密机械、光学材料、微纳科学与技术、医用光学、先进加工制造技术、信息与控制、计算机应用以及有关交叉学科等方面的最新理论研究、科研成果和创新能力。本刊自 2007 年起只刊发国家重大科技项目和国家自然科学基金项目及各省、部委基金项目资助的论文。《光学 精密工程》竭诚欢迎广大作者踊跃投稿。

本刊获奖:

中国科学技术协会择优支持期刊
中国百种杰出学术期刊
第一届北方优秀期刊
吉林省双十佳期刊

国际检索源:

《美国工程索引》(EI Compendex)
《美国化学文摘》(CA)
《英国 INSPEC》(SA)
《俄罗斯文摘杂志》(PЖ)
《美国剑桥科学文摘》(CSA)

国内检索源:

中国科技论文统计源期刊
中国学术期刊(光盘版)
万方数据系统数字化期刊
台湾华艺中文电子期刊网
中国科学引文数据库
中国物理文献数据库
中国期刊网

中文核心期刊要目总览(北大)
中国学术期刊综合评价数据库
中国光学与应用光学文摘
中国科学期刊全文数据库
中国光学文献数据库
中国学术期刊文摘
中国物理文摘

地 址: 长春市东南湖大路 3888 号

《光学 精密工程》编辑部

邮 编: 130033

电 话: (0431)86176855

传 真: (0431)84613409

E-mail: gxjmgc@ciomp.ac.cn

gxjmgc@sina.com

<http://www.opec.net.cn>

国内邮发代号: 12-166

国外发行代号: 4803BM

定 价: 50.00 元/期

帐 户: 中国科学院长春光学
精密机械与物理研究所

银 行: 中行吉林省分行营业部

帐 号: 220801471908091001